

アナログ・デジタル混載 ASIC による小型プラズマ波動受信器の開発

鎌田 俊介 [1]; 頭師 孝拓 [2]; 小嶋 浩嗣 [2]; 笠原 禎也 [3]; 高橋 翼 [3]; 濱野 拓也 [4]; 尾崎 光紀 [3]; 徳永 祐也 [3]; 八木谷 聡 [3]

[1] 京大・生存圏; [2] 京大・生存圏; [3] 金沢大; [4] 金沢大学

Small Plasma Waveform Capture Receiver on the analog-digital mixed ASIC chip

Shunsuke Kamata[1]; Takahiro Zushi[2]; Hirotsugu Kojima[2]; Yoshiya Kasahara[3]; Tsubasa Takahashi[3]; Takuya Hamano[4]; Mitsunori Ozaki[3]; Yuya Tokunaga[3]; Satoshi Yagitani[3]

[1] RISH, Kyoto Univ; [2] RISH, Kyoto Univ.; [3] Kanazawa Univ.; [4] Kanazawa Univ.

Space is filled with subtle plasma, so-called space plasma. Since space plasma is basically collisionless, plasma particles exchange their own kinetic energies and moments through plasma waves. Observing plasma waves allows us to understand physical processes occurring in the space plasma. However, the size of a plasma wave receiver on board satellites tends to be large to meet science requirements.

In order to reduce the required resource for plasma wave receivers, our research group has been attempting to miniaturize plasma wave receivers using ASIC (Application Specific Integrated Circuit) technology.

In the present paper, we focus on the development of a small waveform capture receiver based on an analog-digital mixed chip. The waveform capture receiver is a receiver to acquire waveform data of plasma waves sampled directly. The amount of original waveform data is large, so it is difficult to send them to a ground station without data compression. The onboard data compression is realized by a digital part of a plasma wave receiver. On the part of the digital processing, we succeeded in implementing the data compression logic on the FPGA in Kanazawa University. By using the logic in the FPGA, our research introduces the data compression logic onto an analog-digital hybrid chip. The target of our research is to achieve the ultimate miniaturization by putting both analog part and digital part which are in the waveform capture type receiver into one chip. In this presentation, the digital filters used in the waveform compression are implemented on the ASIC chip and its operation verification was carried out.

On the other hand, we modified the analogue part to reduce the noise level of the receiver developed in the previous research. The dominant noise of the developed ASIC analog part is that coming from the switched capacitor filter. Note that the switched capacitor filter is a type of active filter comprising amplifiers, capacitors, and switches. The role of the filter is to prevent from the aliasing effect by an A/D converter. We analyzed the noise source inside the switched capacitor filter by computer simulations and modified the circuits. The simulation results show the flicker noise of some broadband amplifiers is dominant in the low frequency range. Then, to reduce the flicker noise of the switched capacitor filter, we redesigned the gate area by enlarging the gate area to nine times as much as that in the previous design while keeping the ratio of the gate width and the gate length of some MOSFETs of the amplifier. As a result, we expect to reduce noise by 10 dB in the low frequency band. In the prototype of the redesigned chip, we confirmed the success in decreasing the noise level of the switched capacitor filter.

In this presentation, we present the details of the design of the circuits implemented on the chip and its performance of the chip.

宇宙空間は希薄なプラズマで満たされており、その運動エネルギーの交換は波動として観測される。したがって、プラズマ波動を観測することで、宇宙プラズマ中で生起する物理素過程を知ることが出来る。しかし、要求性能上、プラズマ波動観測機器は大型になってしまいやすい。

そのため、本研究グループは、ASIC(Application Specific Integrated Circuit) 技術を用いたプラズマ波動受信器の小型化を目指している。

プラズマ波動受信器には波形捕捉型とスペクトル型の2種類あり、本研究では、ASIC 技術による小型波形捕捉型受信器の開発を進めている。波形捕捉型受信器はプラズマ波動の波形データを取得する受信器である。波形データはそのままでは地上に送信するにはデータ量が大きく、連続的な観測が行えない。観測回数を増やすために、少しでもデータを小さくする必要があり、デジタル処理によるデータ圧縮が必要である。この波形データのデジタル処理による圧縮をハードウェアとして行う回路が波形圧縮回路である。

本研究の先行研究として、プラズマ波動受信器のスペクトル型、波形捕捉型双方のアナログ回路のASIC 化を実現している。これにより、プラズマ波動受信器アナログ回路の大幅な小型化に成功した。また、デジタル処理部についても、金沢大学のグループにより従来ソフトウェアで実現されていた処理のハードウェア化 (FPGA 化) にも成功している。

本研究では、アナログ部をインプリメントした ASIC チップ内に、アナログ・デジタル混載技術を用いて、FPGA 上で実現されたロジックをアナログ回路と同一チップ上に実現する。そして、波形捕捉型受信器のアナログ部、デジタル部をすべて一つにチップ化して究極の小型化をはかることを目的としている。

ASIC で使用される論理構成は FPGA と同一のものを使用することが出来る。したがって、FPGA ですでに、開発および検証済の HDL(Hardware Description Language) データをもとに ASIC を開発することが出来る。金沢大学で FPGA 用に開発、検証された HDL をもとに波形圧縮回路の ASIC 化を行う。本発表では波形圧縮回路のうち、デジタルフィルタおよびアナログ回路を同一チップ上で ASIC 化し、動作検証を行った。

また、本研究では、先行研究で開発された受信器アナログ部の低ノイズ化を行った。開発された波形捕捉型受信器の

ASICアナログ部では、その構成要素であるスイッチドキャパシタフィルタのノイズが支配的であることがわかっていました。スイッチトキャパシタフィルタのノイズレベルによって受信器のノイズフロアが決まっているため、その低ノイズ化が課題となっていた。スイッチドキャパシタフィルタについて、ノイズの解析を行った後、改良を施した回路を試作し、検証を行った。なお、スイッチドキャパシタフィルタは、アンプ、キャパシタ、スイッチで構成されているアクティブフィルタの一種であり、波形捕捉型受信器では、A/Dによるエリアシングの効果を防ぐ役割をもつ。

ノイズの解析はシミュレーションを用いて行った。この解析の結果、低周波帯域で支配的なノイズである一部の広帯域アンプのフリッカーノイズが支配的になっていることがわかった。そのため、アンプの一部のMOSFETのゲート幅とゲート長の比を保ったまま、ゲート面積を従来の9倍に拡大して再設計を行った。これにより、低周波帯域で10dBのノイズの低減を見込んでいる。

再設計したチップの試作では、フリッカーノイズ低減のため、一部のMOSFETのゲート面積を拡大した改良アンプを使用したスイッチドキャパシタフィルタと、比較用の改良前のアンプを使用したスイッチドキャパシタフィルタをチップ内に実現した。これを用いて、アンプ改良による低ノイズ化が実現しているかの検証を行い、設計通りの低ノイズ化に成功していることを確認した。

本発表では波形捕捉型受信器のうち、ASIC上に実現した波形圧縮ロジック設計の詳細とその動作検証結果および、今回試作したチップに搭載した回路の設計の詳細とその動作検証結果について発表を行い、今後更に高度な波形捕捉型受信器として開発を進める指針を示す。