

衛星搭載用波形観測器デジタル処理部のFPGA化に関する検討

松井 大樹 [1]; 笠原 禎也 [1]; 後藤 由貴 [1]
[1] 金沢大

Implementation of digital signal processing in a FPGA for plasma wave instruments

Hiroki Matsui[1]; Yoshiya Kasahara[1]; Yoshitaka Goto[1]
[1] Kanazawa Univ.

In recent years, a lot of satellites are launched in order to solve clarify of the space environment as a consequence of plasma dynamics controlled by solar activity. Measuring plasma wave is one of important clues to understand plasma physics around the earth, and it is necessary to implement intelligent signal data processing techniques into the plasma wave instruments. In the conventional wave instruments, these data processes are executed by a CPU, and thus the computation speed is not fast enough to enable real-time processing. In the present study, we try to implement these techniques, especially decimation-filtering, sub-band coding and data compression, into FPGA in order to achieve real-time data processing.

In the present paper, we introduced a FPGA named Cyclone III which is basically a same size as a FPGA used onboard spacecraft. It has 15,408 of Logic-Elements. We constructed a decimation-filter module and a sub-band coding module in the FPGA. A decimation-filter module consists of adder and eight multipliers. The module can be realized using 866 Logic-Elements. Next, we designed a sub-band coding module with the decimation-filter module. In the sub-band filtering process, we commonly use one decimation-filter module seven times to divide the original waveform into 8 sub-bands. Then we could achieve sub-band filtering with a processing speed of 26 clocks per one sample data.

By using the sub-band coding module, we finally constructed a sub-band compression module. Our sub-band compression module produces a compression data with a processing speed of 28 clocks per one sample data. It was demonstrated that this processing speed is fast enough to process 5 components of waveform (2 components of electric field and 3 components of magnetic field) with their sampling frequencies of 65kHz if we operate a FPGA with a clock frequency at larger than 9.2MHz. This clock frequency is much lower than the one implemented in mission data processor (MDP) onboard MMO.

宇宙の電磁環境調査のため多くの科学衛星が打ち上げられているが、科学衛星搭載の波動観測器が取得する生のデータ量は、地上に送信可能なデータ量に対して膨大であるため、衛星機上で取得した波形データに対してスペクトルの平均化、帯域制限、データ圧縮など様々な手法でデータ量の削減を行う必要がある。本研究では機上で行われる代表的な信号処理法であるデシメーションフィルタ及びサブバンド分割、サブバンド圧縮を扱う。デシメーションフィルタとは、LPF(Low Pass Filter) とダウンサンプリングによりサンプリング周波数を下げるデジタルフィルタである。サブバンド分割とは、QMF(Quadrature Mirror Filter) を用いた 1/2 デシメーションフィルタをツリー状に構成して、波形を複数の周波数帯域に分割する処理である。またサブバンド圧縮とは、分割された各バンドにおける信号強度の違いを利用したビット長削減による圧縮法である。これらの処理は現在、衛星搭載のCPUで行われているが、CPU能力の制約からリアルタイム処理が不可能であった。そこで、衛星搭載のFPGAで信号処理を行いCPUの負担を軽減し、デジタル信号処理速度の向上を図ることで、観測データからリアルタイムに地上伝送用データを生成できる観測器の実現を目指す。

衛星搭載のFPGAは、占有面積や消費電力などの制約で小規模なものである。そこで、本研究ではFPGAのリソースが同程度のものであるCyclone IIIを搭載したFPGAボードとしてDE0を使用した。Cyclone IIIの内蔵メモリは504[kbit]、LE数は15,408個である。LE(Logic Elements)とは、Cyclone IIIのロジック最小単位である。また、ハードウェア記述言語としてverilogHDLを使用して開発を行う。

サブバンド分割に用いるデシメーションフィルタのモジュール(以下「DecimationModule」と表記)をverilogHDLで記述した。データ型はshort型を採用している。フィルタは、タップ数16のQMFを用いている。設計したDecimationModuleの出力は、帯域分割された信号である低周波部と高周波部が1クロックごとに交互に現れる。DecimationModuleは、使用LE数を削減するためノーブル恒等変換及びポリフェーズ分解という手法を用いており、主に乗算器モジュール8個と加算器モジュール1個から構成され、実際に使用するLE数は866個で実現した。DecimationModuleを7回ループさせる構成で、8個の帯域に分けるサブバンド分割のモジュール(以下「SubbandCodingModule」と表記)の処理速度を評価した。SubbandCodingModuleへの入力データ数が十分大きいと仮定したとき、入力及び出力にかかる時間を含めて、1サンプルあたり26クロック(26[clock/sample])で処理が可能である。

本研究で構成したSubbandCodingModuleを利用することで、高速かつコンパクトなサブバンド圧縮のモジュール(以下「SubbandCompressionModule」と表記)を構成することが可能である。サブバンド圧縮では、各バンドにおける最大値を求め、最大ビットから特定の数の上位ビットのみ用いることでデータ量の削減を行う。すなわち、SubbandCodingModuleの出力に対して、最大ビット検出及びビットシフトを行えばサブバンド圧縮が可能である。最大ビットを検出するモジュール及びビットシフトのモジュールは、それぞれの動作速度が1[clock/sample]で記述できるため、SubbandCompressionModuleの動作速度は28[clock/sample]となる。SubbandCompressionModuleの動作速度が十分かどうか、MMO(Mercury Magnetospheric Orbiter)を例として考える。MMO搭載の波形観測器は、電界2成分、磁界3成分の計5成分がサンプリング周波数65,536[Hz]で取得されるため、データ生成レートは327,680[Hz]である。SubbandCompressionModuleの動作速度が28[clock/sample]であることから、リアルタイム処理には、FPGAの動作クロックは9.2[MHz]以上が必要である。MMOの場合、MDP(CPU)上で動作するFPGAが動作クロック24[MHz]を採用しており、本研究で提案したSubbandCodingModuleは、十分リアルタイム処理可能な動作速度であるといえる。